

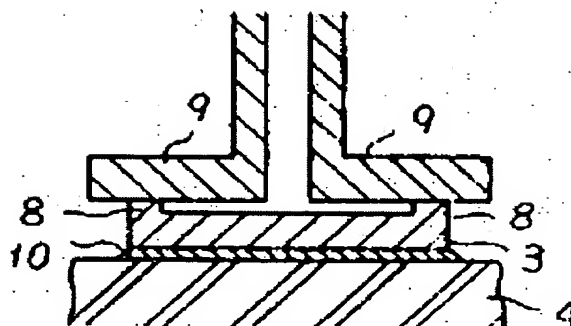
**SEMICONDUCTOR CHIP**

**Patent number:** JP56087332  
**Publication date:** 1981-07-15  
**Inventor:** KUBOTA AKIHIRO; others: 02  
**Applicant:** FUJITSU LTD  
**Classification:**  
- international: H01L21/58  
- european:  
**Application number:** JP19790164987 19791219  
**Priority number(s):**

**Abstract of JP56087332**

**PURPOSE:** To save time for exchanging a chip collect and also reduce damages by a method wherein a base-shape region higher than a level of a surface of the semiconductor chip is mounted on the surface peripheral edge of the chip, and applied a bonding by means of the chip collect having a flat plate-shape top.

**CONSTITUTION:** The frame-shaped baselike region 8 suitable for an outer dimension in width and higher than a level of the surface of the semiconductor chip, or an L-shaped baselike region made higher than the surface for only four corners on the peripheral edge of the semiconductor chip 3 is formed on the peripheral edge of the semiconductor chip 3. The baselike region is formed of a thermal oxidized film, aluminium, cover-glass or chip protecting film. The semiconductor chip 3 is suction-held by the chip collect 9 having a flat plate-shape top, and bonded with an eutectic alloy on a chip stage 4 or a adhesive agent 10. In this manner, the chip collect is not necessary to be changed, nor the functioning unit of the semiconductor chip 3 is damaged.



資料 ①

⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭56—87332

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/58

識別記号 庁内整理番号  
6741—5F

⑭ 公開 昭和56年(1981) 7 月15日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑮ 半導体チップ

川崎市中原区上小田中1015番地  
富士通株式会社内

⑯ 特 願 昭54—164987

⑰ 発 明 者 杉浦力夫

⑱ 出 願 昭54(1979)12月19日

川崎市中原区上小田中1015番地  
富士通株式会社内

⑲ 発 明 者 窪田昭弘  
川崎市中原区上小田中1015番地  
富士通株式会社内

⑳ 出 願 人 富士通株式会社  
川崎市中原区上小田中1015番地

㉑ 発 明 者 芹沢孝次

㉒ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体チップ

2. 特許請求の範囲

表面の周縁部に、該表面に於て最も高く突出した台状傾域を設けてなることを特徴とする半導体チップ。

3. 発明の詳細な説明

本発明は半導体チップ構造の改良にかかり、特にチップボンディングに適した半導体チップの構造に関するものである。

半導体集積回路或いは個別半導体素子が形成されている半導体チップの表面は、一般に配線層等が形成されている機能領域が最も高く突出した形状を有している。そしてこれら半導体チップを半導体パッケージに金／シリコン (Au/Si) 共晶合金を形成させて固着させる構造の半導体装置のチップボンディングに於ては、チップ・ボンディングに際してスクラブを行う必要があり、その際のチップ・コレットからチップに加えられる

圧力やチップとチップ・コレットの間の磨りによって前記のような表面形状を有する半導体チップの機能部に特性劣化、断線或いは絶縁膜破損等の障害を与えないために、従来第1図の共晶ボンディング説明用断面図に示すように周縁部に堤状突出部1を有するチップ・コレット2を用い、半導体チップ3を包くように吸引保持して、半導体パッケージのチップ・ステージ4上に半導体チップ3を押しつけ、矢印Xのようにスクラブしてボンディングする方法で行っていた。然し該従来の共晶ボンディング法に於ては、半導体チップの外形状毎に該外形状に適合した堤状突出部形状を有するチップ・コレットを用いなければならないので、処理する半導体チップの外形状が変る度にチップ・コレットを交換する手間がかかり、又チップ・コレットで半導体チップを拾う際に半導体チップをチップ・コレットの堤状突出部内に正しく吸引保持させねばならないので、チップ・ボンディングの作業能率が大幅に低下するという問題があった。

又導電性接着剤等を用いるペースト・ボンディング方式の半導体装置に於ては、第2図のペースト・ボンディング説明用断面図に示すようにチップ・ボンディングに際してスクラブを行う必要がないので管状チップ・コレット5が使用され、該管状チップ・コレット5により半導体チップ3を吸引保持し、管状チップ・コレット5を矢印Yの方向に押圧させながら、接着剤6を介して半導体パッケージのチップ・ステージ4上に半導体チップ3を押しつけてチップ・ボンディングがなされるが、この方法に於ては半導体チップの外形寸法による制約はないが半導体チップのチップ・コレットと接する部分がダメージを受け半導体装置の品質低下や信頼性低下を招くという問題があった。

本発明は上記問題点に鑑み、種々なチップサイズに対して適用性があり、然かも作業能率を大幅に向上することができる平板状先端部を有するチップ・コレットを使用して、性能、品質及び信頼性を低下せしめることなくチップ・ボンディングを行うことが可能な構造を有する半導体チップを

—3—

も高い突出部より0.3 ( $\mu m$ ) 程度以上高い棒状の台状領域8が形成された構造を有している。

又本発明の構造を有する半導体チップの第2の実施例に於ては第4図(a)及び第4図(b)に示すように、半導体チップ3の周縁部の四隅に幅数 ( $\mu m$ ) 一様10 ( $\mu m$ ) 程度で、該チップ表面に於ける最も高い突出部より0.3 ( $\mu m$ ) 程度以上高いL字状の台状領域8が形成された構造を有している。然して何れの場合も上記台状領域は熱酸化膜、アルミニウム、カバーガラス或いはチップ保護膜等により形成される。

上記本発明の構造を有する半導体チップのチップ・ボンディングを行っている状態を示すのが第5図であるが、本発明の半導体チップ3はその表面の周縁部に、前記のようにチップ表面のどの部分よりも0.3 ( $\mu m$ ) 程度以上高い台状領域8が形成されているので、図に示すように平板状先端部を有するチップ・コレット9に該半導体チップ3を吸引保持して、半導体パッケージのチップ・ステージ4上に共晶合金或るいは接着剤10によ

提供する。

即ち本発明は半導体チップに於て、表面の周縁部に該表面に於て最も高く突出した台状領域を設けてなることを特徴とする。

以下本発明を図示実施例により詳細に説明する。

第3図(a)は本発明の構造を有する半導体チップに於ける第1の実施例の上面図、第3図(b)は同じく中央断面図、第4図(a)は本発明の構造を有する半導体チップに於ける第2の実施例の上面図、第4図(b)は同じく中央断面図、第5図は本発明の半導体チップのボンディング説明用断面図、第6図(a)乃至(d)は本発明の半導体チップの製造方法に於ける第1の実施例を示す工程説明用断面図、第7図は本発明の半導体チップ製造方法に於ける第2の実施例を示す工程説明用断面図である。

例えば本発明の構造を有する半導体チップの第1の実施例に於ては第3図(a)及び第3図(b)に示すように半導体チップ3の周縁部に、その半導体チップの外形寸法に見合った幅、即ち数 ( $\mu m$ ) 一様10 ( $\mu m$ ) 程度の幅を有し該チップ表面の最

—4—

りボンディングを行っても、半導体チップ3の機能部に損傷を与えることがないので、半導体装置の性能、品質及び信頼性が確保できる。

次に本発明の構造を有する半導体チップの製造方法を第6図(a)乃至(d)及び第7図を用いて説明する。

製造方法の第一の実施例は第6図(a)に示すようにアイソレーション層11の形成を完了した集積回路を形成しようとする半導体基板12上のフィールド酸化膜13を、第6図(b)に示すように選択除去して半導体基板12上のチップ領域周縁部にフィールド酸化膜13を選択的に残留させる。次に第6図(c)に示すように該基板の素子形成領域にベース層14及びエミッタ層15を拡散形成せしめるが、この際基板表面には酸化膜13'が形成され前記素子領域周縁部のフィールド酸化膜13は更に厚くなる。次に第6図(d)に示すように各機能層上の酸化膜13'に窓明けを行った後、該基板上にアルミニウム等の金属皮膜を被着しパターンニングを行って配線層16を形成するが、その

際前記チップ周縁部のフィールド酸化膜 13 上にも前記金属皮膜 17 を残留させる。次に該基板全面にカバーガラス膜 18 を被着する。以上の説明からも明らかなように上記方法で形成されるチップ領域周縁部の台状領域 8 はチップ表面のどの部分よりも高くなる。

第 7 図は製造方法の第 2 の実施例の説明図で、この方法に於ては半導体基板にアイソレーション層 11、ベース層 14、エミッタ層 15、配線層 16 及び素子形成領域上へのカバーガラス膜 18 の形成を完了せしめた後、該半導体基板に於けるチップ領域周縁部のフィールド酸化膜 13 上にアルミニウム又はカバーガラス或いはポリイミド等によりチップ領域内の最高の突出部より 0.3 ( $\mu\text{m}$ ) 程度以上高い台状領域 8 を選択的に形成せしめる。

上記実施例に於ては本発明の構造を有する半導体チップに於ける台状領域を半導体チップ周縁部に枠状に形成する場合及び周縁部の四隅に形成する場合について説明したが、台状領域は半導体チ

— 7 —

る第 2 の実施例を示す工程説明用断面図である。

図に於て 3 は半導体チップ、4 はチップ・ステージ、8 は台状領域、9 は平板状先端部を有するチップ・コレット、10 は共晶合金或るいは接着剤、11 はアイソレーション層、12 は半導体基板、13 はフィールド酸化膜、13' は酸化膜、14 はベース層、15 はエミッタ層、16 は配線層、17 は金属皮膜、18 はカバーガラス膜。

代理人 弁理士 松岡 宏四郎

特開昭 56- 87332 (3)

チップの機能を損わない領域に、チップが傾むかないように三箇所以上設ければ有効である。

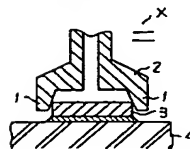
以上説明したように本発明の構造を有する半導体チップはチップ・ボンディングの際、チップの機能領域に損傷が与えられることなく、又チップ・ボンディングの作業性も大幅に向上するので、半導体装置の性能、品質、信頼性の向上及び製造に於ける歩留り、能率の向上に対して有効である。

#### 4. 図面の簡単な説明

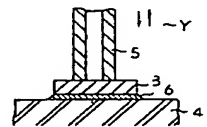
第 1 図は従来の共晶ボンディング説明用断面図、第 2 図は従来のペースト・ボンディング説明用断面図、第 3 図(a)は本発明の構造を有する半導体チップに於ける第 1 の実施例の上面図で第 3 図(b)は同じく中央断面図、第 4 図(a)は本発明の構造を有する半導体チップに於ける第 2 の実施例の上面図で第 4 図(b)は同じく中央断面図、第 5 図は本発明の半導体チップのボンディング説明用断面図、第 6 図(a)乃至(d)は本発明の半導体チップの製造方法に於ける第 1 の実施例を示す工程説明用断面図、第 7 図は本発明の半導体チップの製造方法に於ける

— 8 —

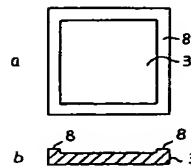
第 1 図



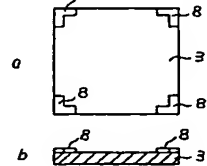
第 2 図



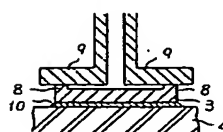
第 3 図



第 4 図



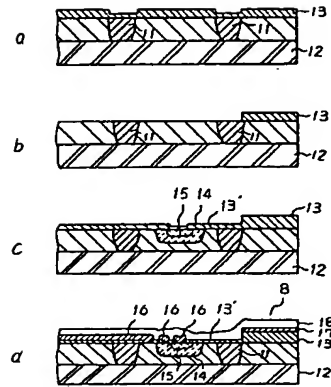
第 5 図



(4)

特開昭56- 87332 (4)

第6図



第7図

